

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-119708

(P2001-119708A)

(43)公開日 平成13年4月27日(2001.4.27)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 4 N	9/07	H 0 4 N	9/07
	5/217		5/217
	5/235		5/235
	5/243		5/243
	9/04		9/04
			B
		審査請求 有	請求項の数14 O L (全 14 頁)

(21)出願番号 特願平11-297316

(22)出願日 平成11年10月19日(1999.10.19)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 笠原 みさ

神奈川県横浜市港北区綱島東四丁目3番1号 松下通信工業株式会社内

(72)発明者 田部井 憲治

神奈川県横浜市港北区綱島東四丁目3番1号 松下通信工業株式会社内

(74)代理人 100099254

弁理士 役 昌明 (外3名)

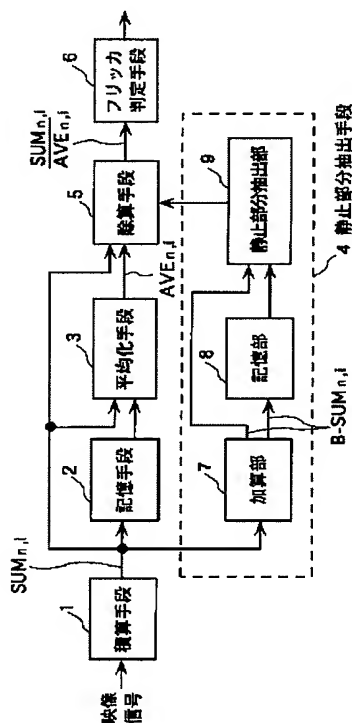
最終頁に続く

(54)【発明の名称】 フリッカ検出・補正装置およびフリッカ検出・補正方法

(57)【要約】

【課題】 被写体の動きなどにより映像信号の輝度レベルに変動があった場合でも正確にフリッカを検出することを可能とする。

【解決手段】 映像信号の画素レベルを1ライン毎に積算する積算手段1と、複数フレームまたはフィールドにおける同一の画像位置のラインに対し、積算手段1の出力を平均化する平均化手段3と、積算手段1の出力を用いて画像の静止部分を抽出する静止部分抽出手段4と、静止部分抽出手段4で抽出された静止部分に対して、積算手段1の1ライン毎の積算結果を平均化手段3の1ライン毎の平均化結果で除算する除算手段5と、除算手段5の除算結果を周波数分析してフリッカの有無を判定するフリッカ判定手段6とを備えている。



【特許請求の範囲】

【請求項 1】 フレームまたはフィールド内の所定の領域毎の画素レベルを積算する積算手段と、複数フレームまたはフィールドにおける同一の画像位置の前記領域毎の積算結果を平均化する平均化手段と、前記積算手段の出力を用いて画像の静止部分を抽出する静止部分抽出手段と、前記静止部分抽出手段で抽出された静止部分に対して、前記積算手段の前記領域毎の積算結果を前記平均化手段の前記領域毎の平均化結果で除算する除算手段と、前記除算手段の除算結果を周波数分析してフリッカの有無を判定するフリッカ判定手段とを備えたフリッカ検出装置。

【請求項 2】 前記所定の領域は 1 ラインである請求項 1 記載のフリッカ検出装置。

【請求項 3】 前記所定の領域はフレームまたはフィールド内のフリッカ成分がほぼ等しい領域である請求項 1 記載のフリッカ検出装置。

【請求項 4】 前記静止部分抽出手段は、フレームまたはフィールド内のフリッカのビート周期の整数倍に対応する画像垂直方向の複数の領域からなる静止部分判定ブロックに対して前記領域毎の積算結果を加算する加算部と、現在のフレームまたはフィールドにおける前記加算部の加算結果と、過去のフレームまたはフィールドにおける同一画像位置の前記加算結果との変化量をもとに、前記ブロックが静止部分であるか否かを判定する静止部分抽出部とを有する請求項 1 乃至 3 のいずれか 1 項記載のフリッカ検出装置。

【請求項 5】 前記静止部分抽出部は、前記加算部の現在の加算結果と、同一画像位置の静止部分判定ブロックの過去の加算結果との差分をとる差分手段と、前記差分手段の出力を前記現在の加算結果または過去の加算結果で除算する除算手段と、前記除算結果と所定のしきい値との大小関係から前記ブロックが静止部分であるか否かを判定するしきい値処理手段とを有する請求項 4 記載のフリッカ検出装置。

【請求項 6】 前記静止部分抽出部は、前記加算部の現在の加算結果と、同一画像位置の静止部分判定ブロックの過去の加算結果を平均化する平均化手段と、前記現在の加算結果と前記平均化手段の平均化結果との差分をとる差分手段と、前記差分手段の差分結果を前記平均化手段の平均化結果または前記現在の加算結果で除算する除算手段と、前記除算結果と所定のしきい値との大小関係から前記ブロックが静止部分であるか否かを判定するしきい値処理手段とを有する請求項 4 記載のフリッカ検出装置。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項記載のフリッカ検出装置と、前記フリッカ検出装置の出力をもとに、映像信号を生成する撮像手段のシャッター速度を制御する制御信号、および前記映像信号のゲインを制御す

る制御信号を作成するフリッカ補正制御手段とを備えたことフリッカ検出・補正装置。

【請求項 8】 フレームまたはフィールド内の所定の領域毎の画素レベルを積算し、複数フレームまたはフィールドにおける同一の画像位置の前記領域毎の積算結果を平均化し、前記積算結果を用いて画像の静止部分を抽出し、前記抽出された静止部分に対して、前記領域毎の積算結果を前記領域毎の平均化結果で除算し、前記除算結果を周波数分析してフリッカの有無を判定するフリッカフリッカ検出方法。

【請求項 9】 前記所定の領域は 1 ラインである請求項 8 記載のフリッカ検出方法。

【請求項 10】 前記所定の領域はフレームまたはフィールド内のフリッカ成分がほぼ等しい領域である請求項 8 記載のフリッカ検出方法。

【請求項 11】 フレームまたはフィールド内のフリッカのビート周期の整数倍に対応する画像垂直方向の複数の領域からなる静止部分判定ブロックに対して前記領域毎の積算結果を加算し、現在のフレームまたはフィールドにおける前記加算結果と、過去のフレームまたはフィールドにおける同一画像位置の前記加算結果との変化量をもとに、前記ブロックが静止部分であるか否かを判定することにより、静止部分を抽出する請求項 8 乃至 3 のいずれか 1 項記載のフリッカ検出方法。

【請求項 12】 前記現在の加算結果と、同一画像位置の静止部分判定ブロックの過去の加算結果との差分をとり、前記差分結果を前記現在の加算結果または過去の加算結果で除算し、前記除算結果と所定のしきい値との大小関係から前記ブロックが静止部分であるか否かを判定する請求項 11 記載のフリッカ検出方法。

【請求項 13】 前記加算部の現在の加算結果と、同一画像位置の静止部分判定ブロックの過去の加算結果を平均化し、前記現在の加算結果と前記平均化結果との差分をとり、前記差分結果を前記平均化結果または前記現在の加算結果で除算し、前記除算結果と所定のしきい値との大小関係から前記ブロックが静止部分であるか否かを判定する請求項 11 記載のフリッカ検出方法。

【請求項 14】 請求項 8 乃至 13 のいずれか 1 項記載のフリッカ検出方法で検出されたフリッカ周波数をもとに、映像信号を生成する撮像装置のシャッター速度の制御と、前記映像信号のレベルの制御とを行うフリッカ検出・補正方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、MOS 型撮像素子のような XY アドレス方式の撮像素子を用い、電源周波数で明るさが変動する照明光のもとで撮像された映像に発生するフリッカを検出し、補正することを可能としたフリッカ検出・補正装置に関する。

【0002】

【従来の技術】まず、図18～図19を用いて、前記フリッカの発生する原理を説明する。

【0003】図18は電源周波数が50Hzの場合の、フリッカの発生原理を説明するための図である。

【0004】この図の(a)に示すような周波数が50Hzの交流電源で蛍光灯などを点灯した場合、その照明光は電源電流の振幅が最も大きくなったときに最も明るくなるので、(b)に示すように、電源周波数の2倍の周波数(ここでは100Hz)で光量変動する。

【0005】このように明るさが周期的に変動する蛍光灯の下で、1/30秒蓄積のMOS型撮像素子で撮像した場合の蓄積タイミングと撮像素子出力を(c),

(d)に示す。この場合、(c)に示すように、読み出し点A1からB1までの入射光量を積分した値が撮像素子の第1ラインの出力信号になる。同様にして、読み出し点A2からB2までの入射光量の積分が第2ラインの出力信号となり、以下最終ラインまで同様の結果となる。

【0006】このとき、入射される光量に対応して、撮像素子出力に(d)に示すような変動が現れ、画面上で輝度レベルの変動となるため、フリッカとして認識される。フレーム周期が30Hzの場合、3フレーム周期で照明の明るさの位相が揃うため、3フレーム周期毎の輝度レベルの変動となる。さらにMOS型撮像素子の場合、(b)に示したように、1ライン毎に蓄積タイミングが異なるため、1フレーム内にこのフリッカが現れ、画面上で黒い縞模様として認識されることになり、画質劣化を引き起こす。

【0007】図19は、電源周波数が60Hzの場合の、フリッカの発生原理を説明するための図である。

【0008】この図の(a)に示すように、周波数が60Hzの交流電源で蛍光灯などを点灯した場合、50Hzの場合と同様、(b)に示すように、電源周波数の2倍の周波数(この場合は120Hz)で光量変動する。

【0009】このように明るさが120Hzの周期で変動する蛍光灯の下で、1/50秒蓄積のMOS型撮像素子で撮像した場合、(c)に示すように読み出し点A1からB1までの入射光量を積分した値が撮像素子の第1ラインの出力信号になる。同様にして、読み出し点A2からB2までの入射光量の積分が第2ラインの出力信号となり、以下最終ラインまで同様の結果となる。

【0010】このとき、入射される光量に対応して、撮像素子出力に(d)に示すような変動が現れ、画面上で輝度レベルの変動となるため、フリッカとして認識される。

【0011】電源周波数が60Hzの場合は、フレーム周期が光量変動周期の整数倍であるため、50Hzの場合に発生するようなフレーム毎の輝度レベルの変動は発生しない。しかし、電源周波数が60Hz付近で変動すると、画面上の黒い縞模様がフレーム毎に動くように見え、画質劣化を引き起こす。さらにMOS型撮像素子の場合

は、50Hzの場合と同様に1ライン毎に蓄積タイミングが異なるため、1フレーム内にこのフリッカが現れ、画面上で黒い縞模様として認識されることになり、画質劣化を引き起こす。

【0012】次に、図20を用いてフリッカを補正する原理を説明する。ここで、(a)～(c)は電源周波数が50Hzの場合、(d)～(f)は電源周波数が60Hzの場合の図である。

【0013】電源周波数が50Hzの場合は、(a)に示すように1/100秒で照明の明るさが変動する。このとき、(b)に示すように、シャッター速度(撮像素子の蓄積時間)を1/100秒の整数倍(図示は2倍の例であるが、1倍または3倍でもよい)に設定する。このように設定すると、第1ラインの読み出しタイミング(A1からB1)と、第2ラインの読み出しタイミング(A2からB2)は、入射光量が同一となる。同様に、第3ライン以下最終ラインまで入射光量が同一となる。このため、(c)に示すように、撮像素子出力は一定量となり、フリッカは発生しない。

【0014】また、電源周波数が60Hzの場合は、50Hzの場合と同様に、シャッター速度を1/120秒の整数倍(1倍～4倍)に設定する。(e)は1/120秒の2倍の1/60秒に設定した場合を示している。この図に示すように、第1ラインの読み出しタイミング(A1からB1)と、第2ラインの読み出しタイミング(A2からB2)は、入射光量が同一となる。同様に、第3ライン以下最終ラインまで入射光量が同一となる。このため、撮像素子出力は一定量となり、フリッカは発生しない。

【0015】つまり、シャッター速度を電源周期の整数倍であり、かつフレーム周期以内に設定することで、フリッカの発生を抑圧しているわけである。

【0016】そして、このような補正原理に基づいてフリッカの補正を行う撮像装置としては、例えば特公平8-15324号公報に記載されたものがあった。この撮像装置においては、撮像素子で生成された映像信号の現フィールドの積分値と前フィールドの積分値との差分値を所定のしきい値と比較することでフリッカの有無を検出し、検出されたフリッカの有無に応じてシャッター速度を切り替える構成を有している。

【0017】

【発明が解決しようとする課題】しかしながら、前記従来の撮像装置では以下の(1)～(4)に記載する問題点があった。

(1) 現フィールドと前フィールドとの差分をとるため、MOS型撮像素子を用いた場合に発生するフィールド(またはフレーム)内のフリッカを検出することができない。

(2) 現フィールドと前フィールドとの差分をとるため、被写体の動きなどにより映像信号の輝度レベルに変動があった場合、それを誤ってフリッカと判定するおそ

れがあり、正確にフリッカを検出することができない。

〔3〕電源周波数が60Hzの場合に発生するフリッカは、フィールド毎の変動が殆どないため、現フィールドと前フィールドとの差分をとることにより検出することはできない。このため、フリッカなしと判定してしまう。

〔4〕フリッカ補正のためにシャッター速度を $1/100$ 秒または $1/60$ 秒に設定すると、入射光量が大きくなったときに映像信号レベルが飽和してしまい、映像が表示されない。

〔0018〕本発明は、このような問題点に鑑みてなされたものであり、被写体の動きなどにより映像信号の輝度レベルに変動があった場合でも、フレームまたはフィールド内にて発生するフリッカを正確に検出することが可能なフリッカ検出装置を提供することを目的とする。

〔0019〕また、電源周波数が60Hzの場合に発生するフリッカの検出が可能なフリッカ検出装置を提供することを目的とする。

〔0020〕さらに、フリッカの補正を実現し、かつ入射光量が大きくなったときに映像が表示されなくなる状態を回避することの可能なフリッカ検出・補正装置を提供することを目的とする。

〔0021〕

【課題を解決するための手段】本発明のフリッカ検出装置は、フレームまたはフィールド内の所定の領域毎の画素レベルを積算する積算手段と、複数フレームまたはフィールドにおける同一の画像位置の前記領域毎の積算結果を平均化する平均化手段と、前記積算手段の出力を用いて画像の静止部分を抽出する静止部分抽出手段と、前記静止部分抽出手段で抽出された静止部分に対して、前記積算手段の前記領域毎の積算結果を前記平均化手段の前記領域毎の平均化結果で除算する除算手段と、前記除算手段の除算結果を周波数分析してフリッカの有無を判定するフリッカ判定手段とを備えた。この構成により、動きのある画像に対しても静止部分の画像情報を用いてフリッカ検出を行うことにより、動画像においても50Hzおよび60Hzのフリッカ検出が高精度に行うことが可能となる。

〔0022〕本発明のフリッカ検出・補正装置は、本発明のフリッカ検出装置と、前記フリッカ検出装置の出力をもとに、映像信号を生成する撮像手段のシャッター速度を制御する制御信号、および前記映像信号のゲインを制御する制御信号を作成するフリッカ補正制御手段とを備えた。この構成により、動画像のフリッカの補正を実現し、かつ入射光量が大きくなったときに映像が表示されなくなる状態を回避することができる。

〔0023〕本発明のフリッカ検出方法は、フレームまたはフィールド内の所定の領域毎の画素レベルを積算し、複数フレームまたはフィールドにおける同一の画像位置の前記領域毎の積算結果を平均化し、前記積算結果

を用いて画像の静止部分を抽出し、前記抽出された静止部分に対して、前記領域毎の積算結果を前記領域毎の平均化結果で除算し、前記除算結果を周波数分析してフリッカの有無を判定する。この構成により、動画像においても50Hzおよび60Hzのフリッカ検出が高精度に行うことが可能となる。

〔0024〕本発明のフリッカ検出・補正方法は、本発明のフリッカ検出方法で検出されたフリッカ周波数をもとに、映像信号を生成する撮像装置のシャッター速度の制御と、前記映像信号のレベルの制御とを行う。この構成により、動画像のフリッカの補正を実現し、かつ入射光量が大きくなったときに映像が表示されなくなる状態を回避することができる。

〔0025〕

【発明の実施の形態】以下、本発明の実施の形態について、図面を用いて説明する。なお、本発明はフレーム処理またはフィールド処理のいずれにも適用可能であるが、以下の説明はフレーム処理の場合について記載する。

〔0026〕（第1の実施の形態）本発明の第1の実施の形態のフリッカ検出装置は、フレーム内の映像信号の画素レベルを1ライン毎に積算する積算手段と、過去の複数フレームにおける同一画像位置のラインに対し、前記1ライン毎の積算結果を平均化する平均化手段と、前記積算手段の出力を用いて画像の静止部分を抽出する静止部分抽出手段と、前記静止部分抽出手段で抽出された静止部分に対して、前記積算手段の前記1ライン毎の積算結果を前記平均化手段の前記1ライン毎の平均化結果で除算する除算手段と、前記除算手段の除算結果を周波数分析してフリッカの有無を判定するフリッカ判定手段とを備えている。

〔0027〕図1は、本発明の第1の実施の形態のフリッカ検出装置の構成を示すブロック図である。このフリッカ検出装置は、積算手段1と、積算手段1の出力が入力される記憶手段2と、積算手段1の出力および記憶手段2の出力が入力される平均化手段3と、積算手段1の出力が入力される静止部分抽出手段4と、積算手段1の出力、平均化手段3の出力、および静止部分抽出手段4の出力が入力される除算手段5と、除算手段5の出力が入力されるフリッカ判定手段6とから構成されている。ここで、積算手段1、平均化手段3、静止部分抽出手段4、除算手段5、およびフリッカ判定手段5は、ハードロジック、DSP、またはコンピュータによるソフト処理のいずれを用いて実現しても良い。

〔0028〕積算手段1には、図示されていないMOS型撮像素子で撮像された有効走査期間の映像信号が入力される。この映像信号は、明るさが50Hzまたは60Hzで変動する光源の下で生成されたものである。積算手段1は、1フレームの有効走査期間の映像信号の画素をライン毎に加算または平均化する。図2に示すように、第

n フレームの第 i ラインの画素レベルをライン毎に加算または平均化した結果を SUM_{ni} と記述する。したがって、映像信号の 1 フレームが 480 ラインで構成されている場合には、 $i = 1 \sim 480$ について、 $SUM_{n1} \sim SUM_{n480}$ を演算する。

【0029】記憶手段 2 は、積算手段 1 の出力を一時的に予め定められたフレーム分記憶する。平均化手段 3 は、 SUM_{ni} が算出される以前に積算手段 1 から出力され、記憶手段 2 に記憶されていた $SUM_{n-1,i}$ と、 $SUM_{n-2,i}$ と、 $SUM_{n-3,i}$ との加算または平均化を行う。ここで、 $SUM_{n-1,i}$ 、 $SUM_{n-2,i}$ 、 $SUM_{n-3,i}$ は、図 3 に示すように、それぞれ第 n-1 フレーム、第 n-2 フレーム、第 n-3 フレームの第 i ラインにおける画素レベルを加算または平均化したものである。この場合、記憶手段 2 は積算手段 1 の出力を 3 フレーム分蓄積している。ここで、 $SUM_{n-1,i}$ と、 $SUM_{n-2,i}$ と、 $SUM_{n-3,i}$ とを加算または平均化した結果を AVE_{ni} と記述する。なお、ここでは過去の 3 フレーム分との加算または平均化を行ったが、2 フレーム分以上であれば良い。

【0030】静止部分抽出手段 4 は、積算手段 1 の出力を用いて画像の静止部分を抽出する。静止部分抽出手段 4 は、積算手段 1 の出力が入力される加算部 7 と、加算部 7 の出力が入力される記憶部 8 と、加算部 7 の出力および記憶部 8 の出力が入力される静止部分抽出部 9 とを備えている。

【0031】加算部 7 は、フレーム内のフリッカ成分の N 周期分のラインに対して積算手段 1 の出力を加算する。前記 N 周期分のラインにより構成される画像の部分を静止部分判定用ブロックと呼ぶ。第 n フレームの j 番目の静止部分判定用ブロックにおいて加算対象となる先頭のライン番号を k、フレーム内のフリッカ成分の N 周期分のライン数を p ラインとすると、加算手段の出力 $B - SUM_{nj}$ は下記の式で表すことができる。

$$B - SUM_{nj} = SUM_{nk} + SUM_{nk+1} + \dots + SUM_{nk+p-1}$$

【0032】図 4 は、 $N = 1$ 、 $j = 1$ の場合を示している。図 18 に示したように、光源の電源周波数が 50 Hz、フレーム周期が 30 Hz の場合には、N は 1 から 3 までの整数値をとる。そして、図 4 に示した $N = 1$ の場合、j は 1 から 3 までの整数値をとる。このように、フレーム内のフリッカ成分の N 周期分のラインに対して積算手段 1 の出力を加算した加算結果は、どのフレームについても、光源の明るさの周期変化による輝度レベルの変化成分が同一となる。

【0033】記憶部 8 は、加算部 7 の出力を数フレーム分一時的に記憶する。静止部分抽出部 9 は、加算部 7 で演算された加算結果 $B - SUM_{nj}$ と、記憶部 8 から読み出された 1 フレーム前の加算結果 $B - SUM_{n-1,j}$ との差分を計算し、その値が予め設定したしきい値 TH 以下の場合に、その静止部分判定用ブロックを静止部分と判定す

る。前述したとおり、 $B - SUM_{nj}$ と $B - SUM_{n-1,j}$ において光源の明るさの周期変化による輝度レベルの変化成分が同一となるため、差分結果は被写体の変化分に相当する。したがって、その差分結果をしきい値 TH と比較することにより、静止部分か否かを判定することができる。

【0034】除算手段 5 は、静止部分抽出手段 4 により静止部分と判定されたブロックに対して、積算手段 1 の出力である SUM_{ni} と平均化手段 3 の出力である AVE_{ni} とを用いて SUM_{ni} / AVE_{ni} を算出する。フリッカ判定手段 6 は除算手段 5 の出力を用いてフリッカの有無を判定する。図 6 にフリッカ判定手段 6 の構成例を示す。このフリッカ判定手段 6 は、除算手段 5 の出力が入力される DFT (Discrete Fourier Transform: 離散フーリエ変換) 手段 21 と、その出力をしきい値処理してフリッカの有無を判定するしきい値処理手段 22 とから構成されている。

【0035】図 7 (a) は、除算手段 5 の出力である SUM_{ni} / AVE_{ni} を波形で示した一例である。ここで、横軸はライン数、すなわち i であり、縦軸は除算結果のレベル、すなわち SUM_{ni} / AVE_{ni} を示している。

【0036】図 7 (b) は、DFT 手段 21 の出力の一例である。ここで、横軸は周波数、縦軸は周波数成分のレベルの大きさを示している。そして、50 Hz の周波数成分を検出するために、50 Hz 用の DFT 演算を行ったときの周波数成分レベルが図中の F_{50} であり、60 Hz の周波数成分を検出するために、60 Hz 用の DFT 演算を行ったときの周波数成分レベルが図中の F_{60} である。

【0037】しきい値処理手段 22 では、DFT 部 21 の出力に対して、4 つのしきい値、 TH_{50-ON} 、 TH_{60-ON} 、 TH_{50-OFF} 、 TH_{60-OFF} を予め設定しておく。これらのしきい値には、 $TH_{50-ON} > TH_{50-OFF}$ 、 $TH_{60-ON} > TH_{60-OFF}$ の関係が成り立つ。そのしきい値と、前述した 50 Hz の周波数成分および 60 Hz の周波数成分とを比較し、その大小関係により、フリッカの有無の判定を行う。

【0038】すなわち、 $F_{50} < TH_{50-OFF}$ かつ、 $F_{60} < TH_{60-OFF}$ のときフリッカ無しと判定し、 $\alpha \times F_{60} < F_{50}$ かつ、 $F_{50} > TH_{50-ON}$ のとき 50 Hz のフリッカ有りと判定し、 $\beta \times F_{50} < F_{60}$ かつ、 $F_{60} > TH_{60-ON}$ のとき 60 Hz のフリッカ有りと判定し、上記以外の場合は不明と判定する。

【0039】上記の判定式において、 α は 50 Hz のフリッカ検出用の重み係数、 β は 60 Hz のフリッカ検出用の重み係数である。これらの係数はいずれも 1 より十分大きな値に設定されているので、50 Hz (または 60 Hz) の周波数成分が 60 Hz (または 50 Hz) の周波数成分よりも予め設定された重み係数倍より大きい場合に、50 Hz (または 60 Hz) のフリッカが有ると判定していることになる。これによって、被写体のパターンによるフレーム内の輝度レベルの変化がフリッカと判定されるおそ

れを低減している。

【0040】このように、本発明の第1の実施の形態によれば、フレーム内の所定の1ライン毎の画素レベルを積算し、過去の複数フレームにおける同一の画像位置のラインに対し、前記1ライン毎の積算結果を平均化し、前記積算結果を用いて画像の静止部分を抽出し、前記抽出された静止部分に対して、前記1ライン毎の積算結果を前記1ライン毎の平均化結果で除算し、前記除算結果を周波数分析してフリッカの有無を判定するので、動画の撮像時においても50Hz、60Hzのフリッカ検出を高精度に行うことができる。

【0041】なお、上記の実施の形態では、積算手段1においてフレーム内の全ラインについて積算しているが、フリッカ成分の周期に対して十分に短い間隔で間引きしたラインに対して積算を行っても良い。この場合は、積算手段以降の平均化、除算、およびフリッカ検出手段も間引きしたラインの信号に対して処理を行う。このように構成することで、記憶手段2の容量を削減することができる。また、平均化手段3は、加算平均に限らず巡回型フィルタやFIRフィルタで構成しても同様な効果が得られる。

【0042】（第2の実施の形態）本発明の第2の実施の形態のフリッカ検出装置では、積算手段1が映像信号の画素レベルを1ライン毎に積算する代わりに、フレーム内のフリッカ成分がほぼ等しい領域毎に積算するように構成した。積算手段1の積算演算の内容以外は第1の実施の形態と同様である。

【0043】図8は、本発明の第2の実施の形態における積算手段1の積算演算を説明するための図である。この図に示すように、フレーム内のフリッカ成分がほぼ等しいとみなせる領域（図では、隣接した2ラインの左半分ずつとした）の全有効画素のレベルを加算または平均化している。ここでは、フレーム内のフリッカ成分がほぼ等しいとみなせる領域をブロックと呼ぶ。そして、第nフレームのi番目のブロックの全有効画素のレベルを加算または平均化した値を SUM_{nbi} と記述する。

【0044】図9は、本発明の第2の実施の形態における平均化手段3の平均化演算を説明するための図である。この図に示すように、平均化手段3は、 SUM_{nbi} が算出される以前に積算手段1から出力され、記憶手段2に記憶されていた SUM_{n-1bi} と、 SUM_{n-2bi} と、 SUM_{n-3bi} との加算または平均化を行う。ここで、 SUM_{n-1bi} 、 SUM_{n-2bi} 、 SUM_{n-3bi} は、図9に示すように、それぞれ第n-1フレーム、第n-2フレーム、第n-3フレームのi番目のブロックにおける画素レベルを加算または平均化したものである。この場合、記憶手段2は積算手段1の出力を3フレーム分蓄積している。ここで、 SUM_{n-1bi} と、 SUM_{n-2bi} と、 SUM_{n-3bi} とを加算または平均化した結果を $AVEN_{ni}$ と記述する。

【0045】図10は、本発明の第2の実施の形態における加算部7の加算演算を説明するための図である。加算部7は、フレーム内のフリッカ成分のN周期分に対応する画像垂直方向のブロックに対して積算手段1の出力を加算する。前記N周期分の垂直方向ブロックにより構成される画像の部分を静止部分判定用ブロックと呼ぶ。第nフレームのj番目の静止部分判定用ブロックにおいて加算対象となる先頭のブロック番号をm、フレーム内のフリッカ成分のN周期分に対応する画像垂直方向のブロック数をq個とすると、加算手段の出力 $B-SUM_{nbj}$ は下記の式で表すことができる。

$$B-SUM_{nbj} = SUM_{nm} + SUM_{nm+1} + \dots + SUM_{nm+q-1}$$

【0046】図10は、 $N=1$ 、 $j=1$ の場合を示している。第1の実施の形態と同様、光源の電源周波数が50Hz、フレーム周期が30Hzの場合には、Nは1から3までの整数値をとる。そして、図10に示した $N=1$ の場合、jは1から3までの整数値をとる。このように、フレーム内のフリッカ成分のN周期分のラインに対して積算手段1の出力を加算した加算結果は、どのフレームについても、光源の明るさの周期変化による輝度レベルの変化成分が同一となる。

【0047】図11は、本発明の第2の実施の形態における静止部分抽出部9の処理を説明するための図である。静止部分抽出部9は、加算部7で演算された加算結果 $B-SUM_{nbj}$ と、記憶部8から読み出された1フレーム前の加算結果 $B-SUM_{n-1bj}$ との差分を計算し、その値が予め設定したしきい値TH以下の場合に、その静止部分判定用ブロックを静止部分と判定する。

【0048】静止部分抽出部9の判定結果を除算手段5へ与えられる。除算手段5は、静止部分抽出手段4により静止部分と判定されたブロックに対して、積算手段1の出力である SUM_{nbi} と平均化手段3の出力である $AVEN_{ni}$ とを用いて $SUM_{nbi}/AVEN_{ni}$ を算出する。フリッカ判定手段6は除算手段5の出力を用いてフリッカの有無を判定する。フリッカ判定手段6の構成および動作は第1の実施の形態と同様である。

【0049】本発明の第2の実施の形態のフリッカ検出装置は、特に色フィルタを用いた撮像素子にて撮像された信号に有効である。図12に単板撮像素子用色フィルタの配列の様子を示す。ここで、(a)は補色フィルタ配列であり、(b)は原色フィルタの一種であるベイヤー配列の一部を示したものである。これらの図に示すように、撮像素子の画素毎にそれぞれ異なる色フィルタが貼られている。

【0050】図12(a)に示す補色フィルタでは、シアンCyと黄色Yeとが1画素ずつ交互に配列されたラインと、マゼンタMgと緑Gとが1画素ずつ交互に配列されたラインとが、1ラインずつ交互に配列されている。この色フィルタを用いた撮像素子の出力の2ライン

を加算する際に、点線で囲んだ4画素を1ブロックとし、同じブロックを複数個積算する。1ブロック内の信号は、

$$C_y + M_g + Y_e + G = 2R + 3G + 2B \div Y$$

となり、ほぼ輝度信号Yと同じ信号が得られる。この輝度信号に近い信号がいくつも積算された信号を用いることにより、輝度信号を用いてフリッカ検出ができるため、精度の高いフリッカ検出が可能となる。

【0051】次に、図12(b)に示すベイヤ配列の場合は、赤Rと緑Gとが1画素ずつ交互に配列されたラインと、緑Gと青Bとが1画素ずつ交互に配列されたラインとが、1ラインずつ交互に配列されている。この色フィルタを用いた撮像素子の出力の2ラインを加算する際に、点線で囲んだ4画素を1ブロックとし、同じブロックを複数個積算する。1ブロック内の信号は、

$$R + G + G + B = R + 2G + B \div Y$$

となり、ほぼ輝度信号Yと同じ信号が得られる。この輝度信号に近い信号がいくつも積算された信号を用いることにより、輝度信号を用いてフリッカ検出ができるため、精度の高いフリッカ検出が可能となる。

【0052】本発明の第2の実施の形態では、フレーム内のフリッカ成分がほぼ等しい領域毎に画素レベルを積算し、過去の複数フレームにおける同一の画像位置の前記領域に対し、前記領域毎の積算結果を平均化し、前記積算結果を用いて画像の静止部分を抽出し、前記抽出された静止部分に対して、前記領域毎の積算結果を前記領域毎の平均化結果で除算し、前記除算結果を周波数分析してフリッカの有無を判定するので、第1の実施の形態と比較して、静止部分判定ブロックのサイズを小さくすることができるため、細かいブロックで静止判定が可能となり、フリッカ検出精度が向上する。また、第1の実施の形態と同様、動画の撮像時においても50Hz、60Hzのフリッカ検出を高精度に行うことができる。

【0053】(第3の実施の形態) 本発明の第3の実施の形態のフリッカ検出装置では、静止部分抽出部9は、加算部7の現在の加算結果と、同一画像位置のブロックの過去の加算結果との差分をとる差分手段と、前記差分手段の出力を前記現在の加算結果または過去の加算結果で除算する除算手段と、前記除算結果と所定のしきい値との大小関係から前記ブロックが静止部分であるか否かを判定するしきい値処理手段とを有する。静止部分抽出部9以外の部分の構成は第1の実施の形態と同様である。

【0054】図13は、本発明の第3の実施の形態のフリッカ検出装置における静止部分抽出部9の構成を示すブロック図である。この静止部分抽出部9は、加算部7の出力および記憶部8の出力が入力される差分手段31と、差分手段31の出力および加算部7の出力が入力される除算手段32と、除算手段32の出力が入力されるしきい値処理手段33とを備えている。

【0055】差分手段31は、加算部7の現在の加算結果 $B - SUM_{nj}$ と、記憶部8から読み出された1フレーム前の加算結果 $B - SUM_{n-1j}$ との差分をとり、除算手段32に出力する。除算手段32は、差分手段31の出力を加算部7の出力で除算し、しきい値処理手段33へ出力する。除算手段の出力は

$$|B - SUM_{nj} - B - SUM_{n-1j}| / B - SUM_{nj}$$

となる。

【0056】しきい値処理手段33は上記式の値が予め設定されたしきい値TH以下の場合、第nフレームのj番目の静止部分判定ブロックを静止部分と判定する。しきい値処理手段33の判定結果は、除算手段5に与えられる。除算手段5およびフリッカ判定手段6の動作は第1の実施の形態と同様である。

【0057】本発明の第3の実施の形態では、現フレームの $B - SUM_{nj}$ と1フレーム前の $B - SUM_{n-1j}$ との変化量の比を計算し、しきい値処理を行っているので、対象となる映像信号のレベルが異なっても精度の高い静止部分抽出ができ、その結果、フリッカ検出精度も向上する。

【0058】なお、除算手段32において、加算部7の出力である $B - SUM_{nj}$ で除算する代わりに、記憶部8の出力である $B - SUM_{n-1j}$ で除算しても同様な効果が得られる。

【0059】(第4の実施の形態) 本発明の第4の実施の形態のフリッカ検出装置では、静止部分抽出部9は、加算部7の現在の加算結果と、同一画像位置の静止部分判定ブロックの過去の加算結果を平均化する平均化手段と、前記現在の加算結果と前記平均化手段の平均化結果との差分をとる差分手段と、前記差分手段の差分結果を前記平均化手段の平均化結果または前記現在の加算結果で除算する除算手段と、前記除算結果と所定のしきい値との大小関係から前記ブロックが静止部分であるか否かを判定するしきい値処理手段とを有する。

【0060】図14は、本発明の第4の実施の形態のフリッカ検出装置における静止部分抽出部9の構成を示すブロック図である。この静止部分抽出部9は、加算部7の出力および記憶部8の出力が入力される平均化手段41と、加算部7の出力および平均化手段41の出力が入力される差分手段42と、差分手段42の出力および加算部7の出力が入力される除算手段43と、除算手段43の出力が入力されるしきい値処理手段33とを備えている。

【0061】平均化手段41は、加算部7の現在の加算結果 $B - SUM_{nj}$ と、記憶部8から読み出された1、2フレーム前の加算結果 $B - SUM_{n-1j}$ 、 $B - SUM_{n-2j}$ を平均化し、差分手段42へ出力する。平均化手段41の出力を $B - AVE_{nj}$ とすると、
$$B - AVE_{nj} = (B - SUM_{nj} + B - SUM_{n-1j} + B - SUM_{n-2j}) \times 1 / 3$$
 となる。

【0062】差分手段42は、加算部7の現在の加算結果 $B - SUM_{nj}$ と、平均化手段の平均化結果 $B - AVE_{nj}$ との差分をとり、除算手段43に出力する。除算手段43は、差分手段42の出力を加算部7の出力で除算し、しきい値処理手段44へ出力する。除算手段の出力は $|B - SUM_{nj} - B - AVE_{nj}| / B - SUM_{nj}$ となる。

【0063】しきい値処理手段44は上記式の値が予め設定されたしきい値TH以下の場合、第nフレームのj番目の静止部分判定ブロックを静止部分と判定する。しきい値処理手段44の判定結果は、除算手段5に与えられる。除算手段5およびフリッカ判定手段6の動作は第1の実施の形態と同様である。

【0064】本発明の第4の実施の形態では、現フレームの加算結果 $B - SUM_{nj}$ と、過去のフレームの加算結果の平均値 $B - AVE_{nj}$ との変化量の比を計算し、しきい値処理を行っているため、現フレームと比較する過去のフレームが安定する。このため、動きのある画像に対しても精度良く静止部分を抽出でき、その結果、50Hz、60Hzのフリッカ検出精度も向上する。

【0065】なお、除算手段32において、 $B - SUM_{nj}$ で除算する代わりに $B - AVE_{nj}$ で除算しても同様な効果が得られる。また、平均化手段41は、加算平均に限らず巡回型フィルタやFIRフィルタで構成しても同様な効果が得られる。

【0066】(第5の実施の形態) 本発明の第5の実施の形態のフリッカ検出・補正装置では、第1～第4の実施の形態のフリッカ検出装置の出力をもとに、撮像素子のシャッター速度、および撮像素子で生成された映像信号のゲインを制御する。

【0067】図15は、本発明の第5の実施の形態のフリッカ検出・補正装置を備えた撮像装置の構成を示すブロック図である。このフリッカ検出・補正装置は、撮像装置の一部として構成されている。

【0068】この撮像装置は、MOS型撮像素子などの撮像手段53と、撮像手段53で生成された映像信号のレベルを制御するAGC増幅手段54と、AGC増幅手段54の出力をデジタル化するAD変換手段55と、撮像手段53を駆動する駆動手段56と、AD変換手段55の出力からフリッカを検出するフリッカ検出手段51と、フリッカ検出手段51のフリッカ検出出力と、AD変換手段55の出力とを用いて、撮像素子53のシャッター速度制御信号、およびAGC増幅手段54のAGCゲイン制御信号を作成するフリッカ補正制御手段52とから構成されている。ここで、フリッカ検出手段51と、フリッカ補正制御手段52とにより、フリッカ検出・補正装置が構成されている。

【0069】撮像装置において、撮像手段53は、明るさが周期的に変化する光源の下で被写体を撮像し、映像信号を生成する。撮像手段53は駆動手段56により駆動される。AGC増幅手段54は、後述するAGCゲイン制御信

号に従ってゲインが制御され、入力映像信号のレベルを制御する。AD変換手段55は、AGC増幅手段54から出力される映像信号をデジタル映像信号に変換する。フリッカ検出手段51は、第1乃至第9の実施の形態で示したフリッカ検出手段と同様な構成を有しており、AD変換手段55の出力であるデジタル映像信号を用いてフリッカ検出を行う。フリッカ補正制御手段52は、フリッカ検出手段51の出力と、AD変換手段55の出力とを用いて、シャッター速度制御信号を作成して駆動手段56に供給するとともに、AGCゲイン制御信号を作成してAGC増幅手段54に供給する。

【0070】フリッカ補正制御手段52は、図16に示すフローチャートに従って下記処理を行う。

(1) 電源投入時にmode=50に初期設定する(ステップS1→S2)。以後、下記(2)～(7)のループ動作を行う。

(2) 映像信号レベルを取得する(ステップS3)。

(3) 映像信号レベルとmodeに従って、自動ゲイン制御信号とシャッター速度を設定する(ステップS4)。

(4) フリッカ検出結果を取得する(ステップS5)。

(5) フリッカ検出結果より、50Hzのフリッカ有りの場合は、mode=50に設定する(ステップS6→S8)。

(6) フリッカ検出結果より、60Hzのフリッカ有りの場合は、mode=60に設定する(ステップS6→S7→S9)。

(7) フリッカ検出結果より、フリッカ無しあるいは不明の場合は、modeを保持する(ステップS6→S7→S10)。

【0071】次に、AGCゲイン、およびシャッター速度の設定方法について図17を用いて説明する。この図の(a)は光量に応じたAGCゲインの設定値を示したものであり、(b)は光量に応じた、mode=50の場合のシャッター速度の設定値を示したものである。映像信号レベルは撮像時の光量に比例するため、シャッター速度、AGCを制御することにより、光量が変動しても映像信号レベルを一定に保つようにしている。

【0072】まず、光量に応じて、AGCゲインを図17(a)のように制御する。ここで、MINはAGCゲインの取り得る範囲の最小値であり、MAXは最大値である。

【0073】光量が少ない場合、シャッター速度はフレーム周波数(この場合は30Hz)と光源の電源周波数(この場合は50Hz)とに応じて決まる、フリッカの発生しない最も遅いシャッター速度、すなわち電源周波数の整数倍でかつフレーム周波数以下の最も遅い速度である $3/100$ 秒とする。

【0074】光量が大きくなるにつれて、AGCゲインを徐々に下げていき、MINをとったら、シャッター速度を電源周波数の整数倍でかつ現在値よりも速い速度

(2/100秒)に設定する。同時に、AGC利得をMINに対し、シャッター速度の変化量の比率の逆数である3/2倍変化させる。このように、シャッター速度とAGCゲインとを連動制御することで、シャッター速度が変化した際に映像レベルが急激に変化することを回避し、画質劣化を防止する。

【0075】光量が十分大きくなり、シャッター速度がフリッカの発生しない最も速い速度(50Hzの場合には1/100秒)となり、かつAGCゲインがMINになったら、光量に比例して、シャッター速度を速くしていく。このとき、AGCゲインはMINに固定する。このように設定することで、光量が高くなっても映像信号レベルが飽和することがなくなるため、ダイナミックレンジが広がり、映像が表示されるようになる。

【0076】1/100秒とそれ以上の値(例えば1/250秒)との間は、頻繁に往復しないように、ヒステリシスを持たせておくことが好適である。

【0077】以上は、電源周波数が50Hzの場合のシャッター速度であったが、電源周波数が60Hzの場合も同様に、電源周波数の整数倍、すなわち1/120秒、2/120秒、3/120秒、・・・に設定すればよい。

【0078】なお、図15ではAGC増幅手段54はアナログ映像信号のレベルを制御しているが、図15のAGC増幅手段54に代えて、AD変換手段55の後段にデジタルAGC増幅手段を設け、デジタル的にゲイン制御を行う構成にしても良い。

【0079】このように本発明の第5の実施の形態によれば、第1～第4の実施の形態で示した、50Hz、60Hzのフリッカを精度良く検出できるフリッカ検出装置を用いて検出されたフリッカ周波数と、入力映像信号レベルとに応じて、撮像素子のシャッター速度、および映像信号のゲインを制御することにより、精度の高いフリッカ補正が可能となる。また、シャッター速度の変化と同時に、映像信号のゲインを前記変化量の逆数分変化させることにより、シャッター速度の変化によって輝度レベルが急激に変化することを回避し、画質劣化を防止することが可能となる。さらに、入射光量が大きくなった場合でも、映像が表示されなくなる状態を回避することができる。

【0080】なお、前記各実施の形態では、平均化手段3において、過去の複数フレームを平均化したが、現在のフレームを含めて平均化しても同様の効果が得られる。

【0081】

【発明の効果】以上のように、本発明のフリッカ検出装置および方法によれば、画像の静止部分を用いてフリッカを検出することにより、被写体の動きなどによる輝度レベルの変動があった場合でも、MOS型撮像素子を用いた撮像時に発生するフレーム内フリッカを検出することが可能となる。

【0082】また、本発明のフリッカ検出・補正装置および方法によれば、本発明のフリッカ検出装置および方法で検出されたフリッカ周波数と、入力映像信号レベルとに応じて、映像信号を生成する撮像素子のシャッター速度、および前記映像信号のゲインを制御するので、50Hz、60Hz両方のフリッカを自動判別し、フリッカ補正を行うことができる。さらに、入射光量が大きくなったときにはシャッター速度を速くして撮像することにより、明るい場合も映像信号レベルを飽和させずに撮像することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のフリッカ検出装置の構成を示すブロック図、

【図2】図1における積算手段の演算を説明するための図、

【図3】図1における平均化手段の演算を説明するための図、

【図4】図1における加算部の演算を説明するための図、

【図5】図1における静止部分抽出部の判定処理を説明するための図、

【図6】図1におけるフリッカ判定手段の構成例を示す図、

【図7】図1における除算手段およびDFT手段の出力の一例を示す図、

【図8】本発明の第2の実施の形態のフリッカ検出装置における積算手段の演算を説明するための図、

【図9】本発明の第2の実施の形態のフリッカ検出装置における平均化手段の演算を説明するための図、

【図10】本発明の第2の実施の形態のフリッカ検出装置における加算部の演算を説明するための図、

【図11】本発明の第2の実施の形態のフリッカ検出装置における静止部分抽出部の判定処理を説明するための図、

【図12】本発明の第2の実施の形態のフリッカ検出装置に入力される映像信号を生成する撮像素子に用いる色フィルタの例を示す図、

【図13】本発明の第3の実施の形態のフリッカ検出装置における静止部分抽出部の構成を示すブロック図、

【図14】本発明の第4の実施の形態のフリッカ検出装置における静止部分抽出部の構成を示すブロック図、

【図15】本発明の第5の実施の形態のフリッカ検出・補正装置を備えた撮像装置の構成を示すブロック図、

【図16】図14におけるフリッカ補正制御手段の処理を示すフローチャート、

【図17】図14におけるフリッカ補正制御手段の動作を説明するための図、

【図18】電源周波数が50Hzの場合の、フリッカの発生原理を説明するための図、

【図19】電源周波数が60Hzの場合の、フリッカの発

生原理を説明するための図、

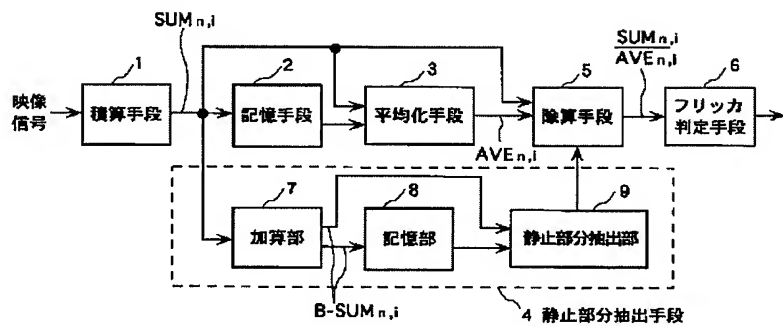
【図20】フリッカを補正する原理を説明するための図である。

【符号の説明】

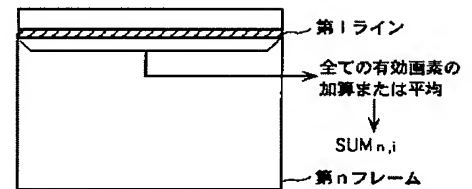
- 1 積算手段
- 2 記憶手段
- 3 平均化手段
- 4 静止部分抽出手段
- 5、32、43 除算手段
- 6 フリッカ判定手段

- 7 加算部
- 8 記憶部
- 9 静止部分抽出部
- 21 DFT手段
- 22、33、44 しきい値処理手段
- 31、42 差分手段
- 41 平均化手段
- 51 フリッカ検出手段
- 52 フリッカ補正制御手段
- 53 撮像手段

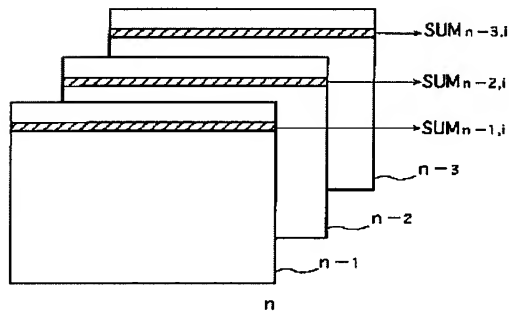
【図1】



【図2】

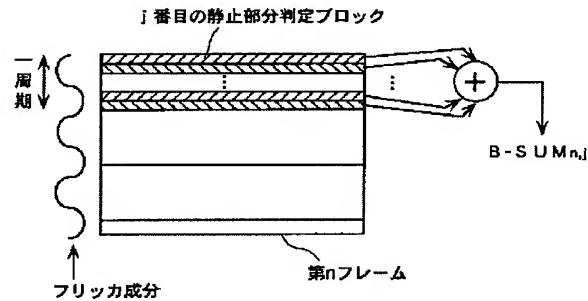


【図3】

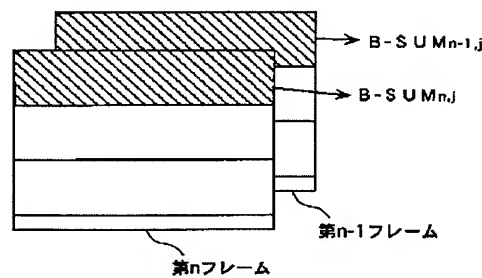


$$AVE_{n,i} = \frac{SUM_{n-1,i} + SUM_{n-2,i} + SUM_{n-3,i}}{3}$$

【図4】



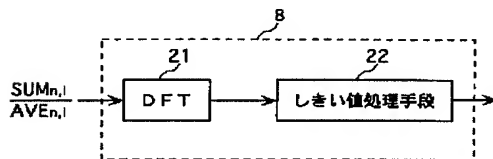
【図5】



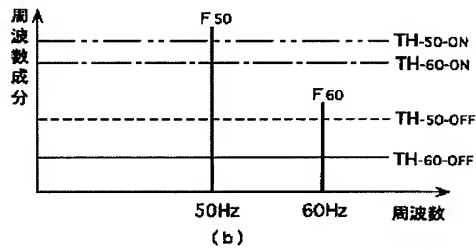
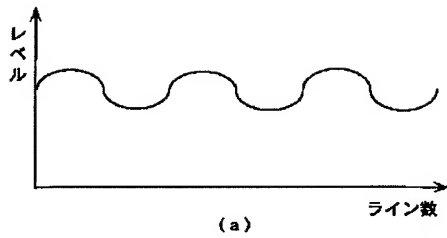
$$|B-SUM_{n,j} - B-SUM_{n-1,j}| \leq TH$$

↓
静止部分

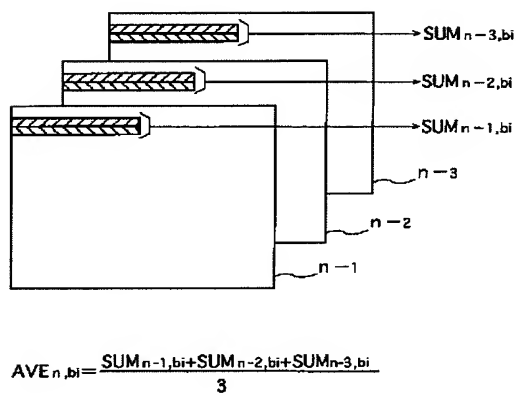
【図6】



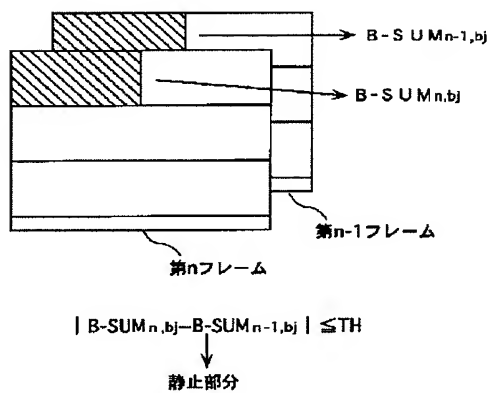
【図7】



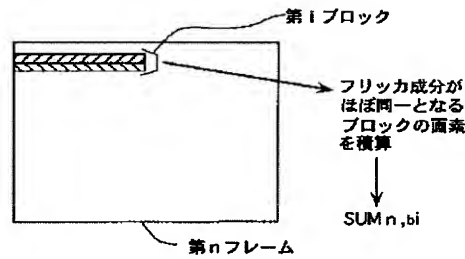
【図9】



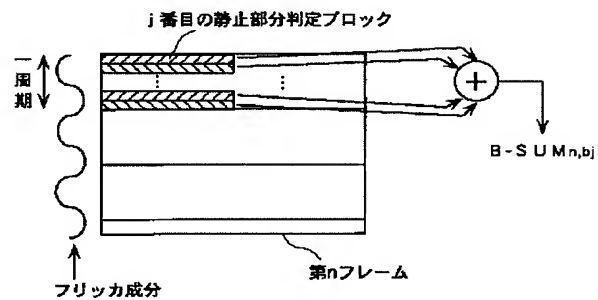
【図11】



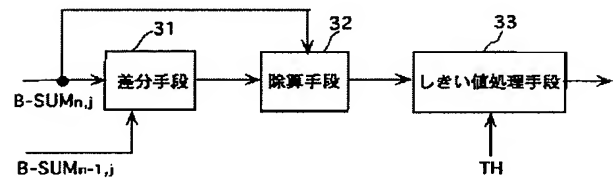
【図8】



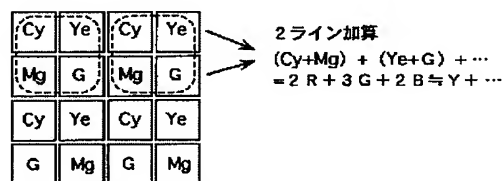
【図10】



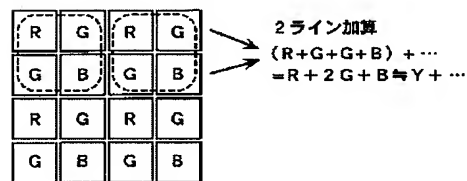
【図13】



【図12】

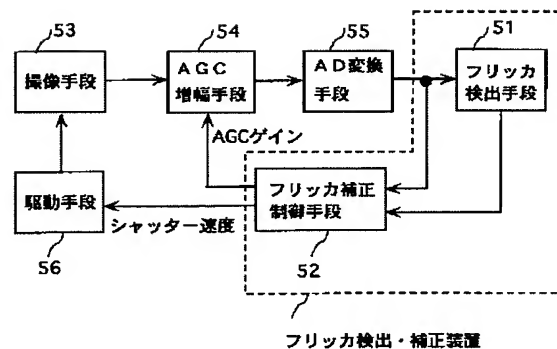


(a) 補色フィルタ配列

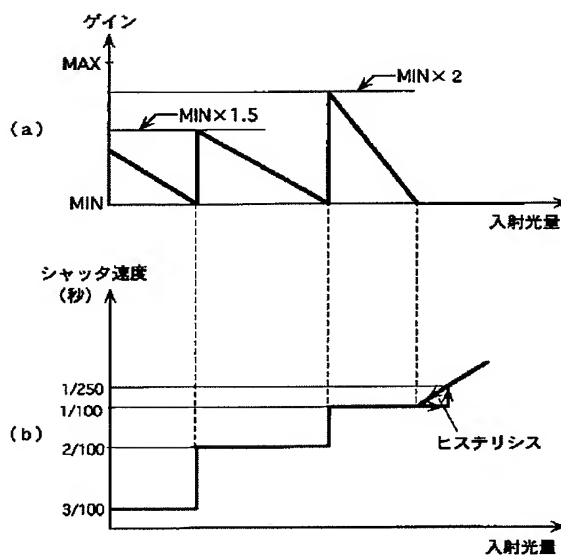


(a) 原色フィルタ (ペイヤー) 配列

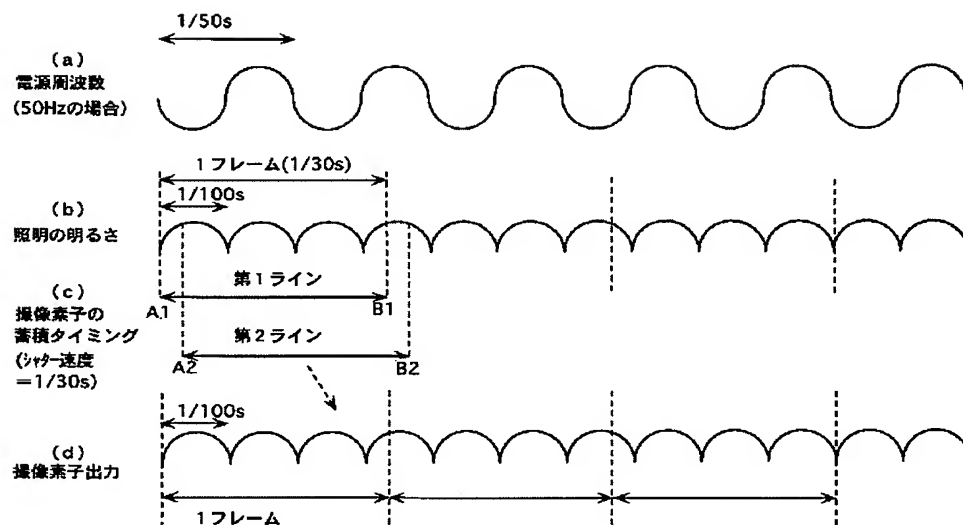
【図 15】



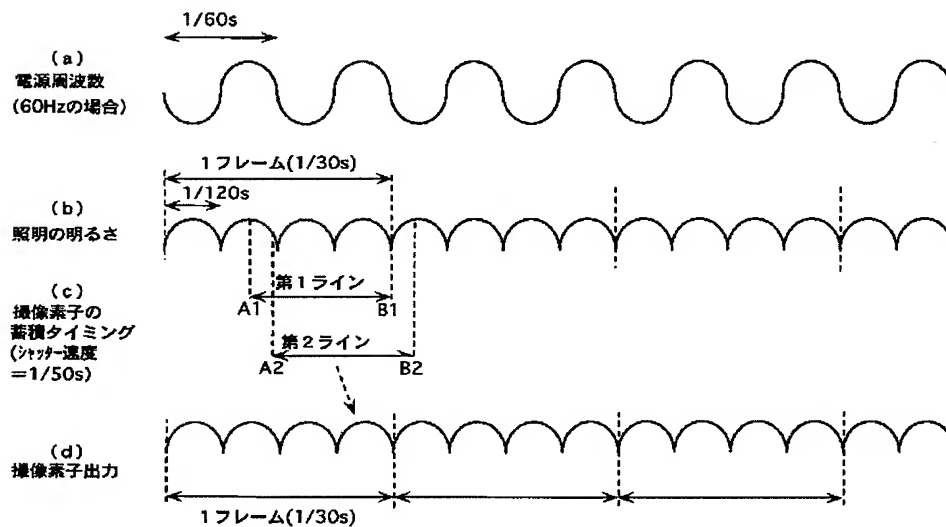
【図 17】



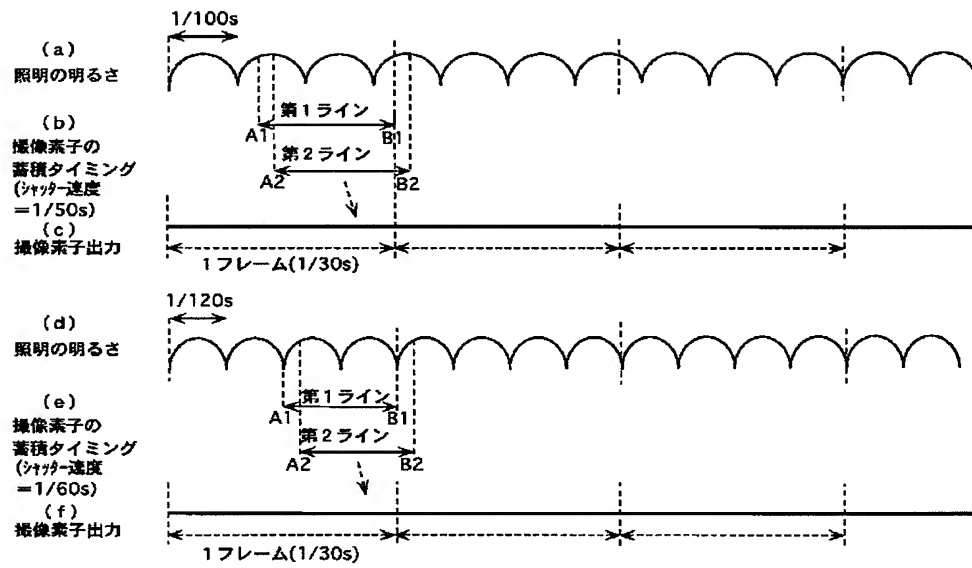
【図18】



【図19】



【図20】



フロントページの続き

(72) 発明者 須部 信
神奈川県横浜市港北区綱島東四丁目3番1
号 松下通信工業株式会社内

Fターム(参考) 5C021 XA43 YA07
5C022 AA11 AB37 AC42
5C065 AA01 BB21 DD15 DD17 EE05
EE06 EE08 GG17 GG22 GG23
GG24 GG27 GG50

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-119708

(43)Date of publication of application : 27.04.2001

(51)Int.Cl. H04N 9/07
H04N 5/217
H04N 5/235
H04N 5/243
H04N 9/04

(21)Application number : 11-297316 (71)Applicant : MATSUSHITA ELECTRIC
IND CO LTD

(22)Date of filing : 19.10.1999 (72)Inventor : KASAHARA MISA
TABEI KENJI
SUBE MAKOTO

(54) FLICKER DETECTION AND CORRECTION DEVICE AND FLICKER DETECTION AND CORRECTION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To accurately detect flicker even when a luminance level of a video signal is changed due to a motion of an object.

SOLUTION: The flicker detection and correction device is provided with an integration means 1 that integrates a pixel level of a video signal for each line, an averaging means 3 that averages the outputs of the integration means 1 with respect to lines at the same picture position in frames or fields, a still part extraction means 4 that extracts a still part of the picture by using the output of the integration means 1, a division means 5 that divides the integration result for each line by the integration means 1 by an averaging result for each line by the averaging means 3, and a flicker discrimination means 6 that applies frequency analysis of the result of division by the division means 5 to discriminate the flicker.

CLAIMS

[Claim(s)]

[Claim 1] A flicker sensing device comprising:

An integration means which integrates a pixel level for every predetermined field in a frame or the field.

An equalization means to equalize an integrated result for said every field of the same image position in a multiple frame or the field.

A stationary part extraction means to extract a stationary part of a picture using an output of said integration means.

A division means which is an equalization result for said every field of said equalization means and does division of the integrated result for said every field of said integration means to a stationary part extracted by said stationary part extraction means and a flicker judging means which conducts frequency analysis of the divided result of said division means and judges existence of a flicker.

[Claim 2] The flicker sensing device according to claim 1 in which said predetermined field is one line.

[Claim 3] The flicker sensing device according to claim 1 which is a field where said predetermined field has almost equal frame or flicker ingredient in the field.

[Claim 4] A flicker sensing device comprising of claim 1 thru/or 3 given in any 1 paragraph:

An adder unit which adds an integrated result for said every field to a stationary part decision block which consists of two or more fields of a picture perpendicular direction corresponding to an integral multiple of a beat cycle of a flicker in a frame or the field in said stationary part extraction means.

An added result of said adder unit in a present frame or the field.

A stationary part extraction part which judges whether said block is a stationary part based on variation with said added result of an identical image position in a past frame or the field.

[Claim 5] The flicker sensing device comprising according to claim 4:

An added result of the present [extraction part / said / stationary part] of said adder unit.

A difference means to take difference with an added result of the past of a stationary part decision block of an identical image position.

A division means which does division of the output of said difference means by said present added result or the past added result.

A threshold processing means to judge whether said block is a stationary part from size relation of said divided result and a predetermined threshold.

[Claim 6] The flicker sensing device comprising according to claim 4:

An added result of the present [extraction part / said / stationary part] of said adder unit.

An equalization means to equalize an added result of the past of a stationary part decision block of an identical image position.

A difference means to take difference of said present added result and an equalization result of said equalization means.

A division means which does division of the difference result of said difference means by an equalization result or said present added result of said equalization means and a threshold processing means to judge whether said block is a stationary part from size relation of said divided result and a predetermined

threshold.

[Claim 7] Flicker detection and a compensator characterized by comprising the following

A flicker sensing device of claim 1 thru/or 6 given in any 1 paragraph.

A flicker correction control means which creates a control signal which controls shutter speed of an imaging means which generates a video signal based on an output of said flicker sensing device and a control signal which controls a gain of said video signal.

[Claim 8] A pixel level for every predetermined field in a frame or the field is integrated. Equalize an integrated result for said every field of the same image position in a multiple frame or the field. Extract a stationary part of a picture using said integrated result and said extracted stationary part is received. A flicker detecting method which is an equalization result for said every field. Does division of the integrated result for said every field. Conducts frequency analysis of said divided result and judges existence of a flicker.

[Claim 9] The flicker detecting method according to claim 8 in which said predetermined field is one line.

[Claim 10] The flicker detecting method according to claim 8 which is a field where said predetermined field has almost equal frame or flicker ingredient in the field.

[Claim 11] An integrated result for said every field is added to a stationary part decision block which consists of two or more fields of a picture perpendicular direction corresponding to an integral multiple of a beat cycle of a flicker in a frame or the field. By judging whether said block is a stationary part based on variation of said added result in a present frame or the field and said added result of an identical image position in a past frame or the field. A flicker detecting method of claim 8 thru/or 3 which extracts a stationary part given in any 10 paragraph.

[Claim 12] Difference of said present added result and an added result of the past of a stationary part decision block of an identical image position is taken. The flicker detecting method according to claim 11 which does division of said difference result by said present added result or the past added result and judges whether said block is a stationary part from size relation of said divided result and a predetermined threshold.

[Claim 13] The present added result of said adder unit and an added result of the past of a stationary part decision block of an identical image position are equalized. The flicker detecting method according to claim 11 which takes difference of said present added result and said equalization result. Does division of said difference result by said equalization result or said present added result and judges whether said block is a stationary part from size relation of said divided result and a predetermined threshold.

[Claim 14] Flicker detection and a correcting method which performs control of shutter speed of an imaging device which generates a video signal and control of a level of said video signal based on flicker frequency detected with a flicker

detecting method of claim 8 thru/or 13 given in any 1 paragraph.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the flicker detection and the compensator which made it possible to detect and amend the flicker generated on the image picturized under the illumination light to which a luminosity is changed with power supply frequency using the image sensor of a XY addressing scheme like an MOS type pickup device.

[0002]

[Description of the Prior Art] First the principle which said flicker generates is explained using drawing 18 – drawing 19.

[0003] Drawing 18 is a figure for explaining the generating principle of a flicker in case power supply frequency is 50 Hz.

[0004] Since that illumination light becomes the brightest when the amplitude of power supply current becomes the largest when a fluorescent lamp etc. are turned on by the AC power supply whose frequency as shown in (a) of this figure is 50 Hz as shown in (b) light volume is changed by one (here 100 Hz) twice the frequency of power supply frequency.

[0005] Thus accumulation timing and an image sensor output when a luminosity picturizes by the MOS type pickup device of accumulation for $1/30$ seconds under the fluorescent lamp changed periodically are shown in (c) and (d). In this case as shown in (c) it becomes an output signal whose value which integrated with the incident light quantity from the reading point A1 to B1 is the 1st line of an image sensor. Similarly the integration of the incident light quantity from the reading point A2 to B-2 serves as an output signal which is the 2nd line and result same to a last line is brought below.

[0006] Since change as shown in an image sensor output at (d) appears corresponding to the entering light volume at this time and it becomes change of a luminance level on a screen it is recognized as a flicker. Since the phase of the luminosity of lighting gathers in 3 frame periods when a frame period is 30 Hz it becomes change of the luminance level for every 3 frame periods.

Furthermore since accumulation timing differs for every line as shown in (b) in the case of an MOS type pickup device this flicker will appear in one frame and it will be recognized as a black striped pattern on a screen and it causes image quality deterioration.

[0007] Drawing 19 is a figure for explaining the generating principle of a flicker in case power supply frequency is 60 Hz.

[0008] As shown in (a) of this figure when a fluorescent lamp etc. are turned on by the AC power supply whose frequency is 60 Hz as shown in (b) light volume is changed by one (in this case 120 Hz) twice the frequency of power supply

frequency like the case of 50 Hz.

[0009] Thus when it pictures by the MOS type pickup device of accumulation for 1 / [lower ** of the fluorescent lamp changed the cycle whose luminosity is 120 Hz and] 50 seconds it becomes an output signal whose value which read as shown in (c) and integrated with the incident light quantity from the point A1 to B1 is the 1st line of an image sensor. Similarly the integration of the incident light quantity from the reading point A2 to B-2 serves as an output signal which is the 2nd line and result same to a last line is brought below.

[0010] Since change as shown in an image sensor output at (d) appears corresponding to the entering light volume at this time and it becomes change of a luminance level on a screen it is recognized as a flicker.

[0011] Since a frame period is an integral multiple of a light volume fluctuation period when power supply frequency is 60 Hz change of the luminance level for every [which is generated in the case of 50 Hz] frame is not generated. However if power supply frequency is changed near 60 Hz the black striped pattern on a screen will seem to move for every frame and will cause image quality deterioration. Furthermore since accumulation timing differs for every line like the case of 50 Hz in the case of an MOS type pickup device this flicker will appear in one frame and it will be recognized as a black striped pattern on a screen and it causes image quality deterioration.

[0012] Next the principle which amends a flicker using drawing 20 is explained. Here when power supply frequency is 50 Hz (d) - (f) of (a) - (c) is a figure in case power supply frequency is 60 Hz.

[0013] When power supply frequency is 50 Hz as shown in (a) the luminosity of lighting is changed in 1 / 100 seconds. At this time as shown in (b) shutter speed (storage time of an image sensor) is set as the integral multiple for 1 / 100 seconds (although a graphic display is a twice as many example as this 1 time or 3 times may be sufficient). If it sets up in this way the read timing (from A1 to B1) of the 1st line and the read timing (from A2 to B-2) of the 2nd line will become the same [incident light quantity]. Similarly incident light quantity becomes the same to the 3rd line or less last line. For this reason as shown in (c) an image sensor output becomes a fixed quantity and a flicker is not generated.

[0014] When power supply frequency is 60 Hz shutter speed is set as the integral multiple for 1 / 120 seconds (1 time - 4 times) like the case of 50 Hz. (e) shows the case where it is set as 1 twice as many as this / 60 seconds (1 / 120 seconds). As shown in this figure the read timing (from A1 to B1) of the 1st line and the read timing (from A2 to B-2) of the 2nd line become the same [incident light quantity]. Similarly incident light quantity becomes the same to the 3rd line or less last line. For this reason an image sensor output becomes a fixed quantity and a flicker is not generated.

[0015] That is generating of a flicker is oppressed by being an integral multiple of a power line period and setting up shutter speed within a frame period.

[0016] And as an imaging device which amends a flicker based on such an amendment principle there were some which were indicated for example to JP8-

15324B. In this imaging device it has the composition which detects the existence of a flicker and changes shutter speed according to the existence of the detected flicker by comparing with a predetermined threshold the difference value of the integral value of the present field of a video signal and the integral value of a previous field which were generated with the image sensor.

[0017]

[Problem(s) to be Solved by the Invention] However in said conventional imaging device there was a problem indicated to the following (1) – (4).

(1) Since the difference of the present field and a previous field is taken the flicker in the field (or frame) generated when an MOS type pickup device is used is undetectable.

(2) Since the difference of the present field and a previous field is taken when the luminance level of a video signal has change by motion of a photographic subject etc. there is a possibility of judging it accidentally to be a flicker and a flicker cannot be detected correctly.

(3) Since there is almost no change for every field the flicker generated when power supply frequency is 60 Hz is undetectable by taking the difference of the present field and a previous field. For this reason it will judge with having no flicker.

(4) If shutter speed is set as 1 / 100 seconds or 60 1/seconds for flicker correction when incident light quantity becomes large a video signal level will be saturated and an image will not be displayed.

[0018] This invention is made in view of such a problem and is a thing.

The purpose is to provide the flicker sensing device which can detect correctly the flicker generated in a frame or the field even when the luminance level of a video signal has change by ***.

[0019] It aims at providing the flicker sensing device which can detect the flicker generated when power supply frequency is 60 Hz.

[0020] Amendment of a flicker is realized and it aims at providing possible flicker detection and compensator of avoiding the state where an image is no longer displayed when incident light quantity becomes large.

[0021]

[Means for Solving the Problem] A flicker sensing device of this invention is provided with the following.

An integration means which integrates a pixel level for every predetermined field in a frame or the field.

An equalization means to equalize an integrated result for said every field of the same image position in a multiple frame or the field.

A stationary part extraction means to extract a stationary part of a picture using an output of said integration means.

A division means which is an equalization result for said every field of said equalization means and does division of the integrated result for said every field of said integration means to a stationary part extracted by said stationary part extraction means and a flicker judging means which conducts frequency analysis of

the divided result of said division means and judges existence of a flicker. It enables flicker detection (50 Hz and 60 Hz) to carry out with high precision also in video by performing flicker detection by this composition using picture information of a stationary part also to a picture with a motion.

[0022] Flicker detection and a compensator of this invention are provided with the following.

A flicker sensing device of this invention.

A flicker correction control means which creates a control signal which controls shutter speed of an imaging means which generates a video signal based on an output of said flicker sensing device and a control signal which controls a gain of said video signal.

When amendment of a flicker of video is realized and incident light quantity becomes large by this composition the state where an image is no longer displayed can be avoided.

[0023] A flicker detecting method of this invention integrates a pixel level for every predetermined field in a frame or the field. Equalize an integrated result for said every field of the same image position in a multiple frame or the field. Extract a stationary part of a picture using said integrated result and said extracted stationary part is received. It is an equalization result for said every field. Division of the integrated result for said every field is done. Frequency analysis of said divided result is conducted and existence of a flicker is judged. This composition enables flicker detection (50 Hz and 60 Hz) to carry out with high precision also in video.

[0024] Flicker detection and a correcting method of this invention perform control of shutter speed of an imaging device which generates a video signal and control of a level of said video signal based on flicker frequency detected with a flicker detecting method of this invention. When amendment of a flicker of video is realized and incident light quantity becomes large by this composition the state where an image is no longer displayed can be avoided.

[0025]

[Embodiment of the Invention] Hereafter an embodiment of the invention is described using a drawing. Although this invention is applicable to either a frame process or field treatment the following explanation indicates the case of a frame process.

[0026] (A 1st embodiment) The flicker sensing device of a 1st embodiment of this invention is provided with the following.

The integration means which integrates the pixel level of the video signal in a frame for every line.

An equalization means to equalize the integrated result in said every line to the line of the identical image position in the past multiple frame.

A stationary part extraction means to extract the stationary part of a picture using the output of said integration means.

The division means which is an equalization result in said every line of said equalization means and does division of the integrated result in said every line of said integration means to the stationary part extracted by said stationary part

extraction means and the flicker judging means which conducts frequency analysis of the divided result of said division means and judges the existence of a flicker.

[0027] Drawing 1 is a block diagram showing the composition of the flicker sensing device of a 1st embodiment of this invention. The memory measure 2 as which the output of the integration means 1 and the integration means 1 is inputted into this flicker sensing device. An equalization means 3 by which the output of the integration means 1 and the output of the memory measure 2 are inputted. It comprises the stationary part extraction means 4 by which the output of the integration means 1 is inputted, the division means 5 as which the output of the integration means 1, the output of the equalization means 3 and the output of the stationary part extraction means 4 are inputted, and the flicker judging means 6 as which the output of the division means 5 is inputted. Here, the integration means 1, the equalization means 3, the stationary part extraction means 4, the division means 5 and the flicker judging means 5 may be realized using any of the soft processing by hard logic, DSP or a computer.

[0028] The video signal of the effective scan period picturized by the MOS type pickup device which is not illustrated is inputted into the integration means 1. This video signal is generated under the light source in which a luminosity is changed at 50 Hz or 60 Hz. The integration means 1 adds or equalizes the pixel of the video signal of the effective scan period of one frame for every line. As shown in drawing 2, the result of having added or equalized the pixel level of the i -th line of the n -th frame for every line is described to be SUM_{ni} . Therefore, when one frame of a video signal comprises 480 lines, $SUM_{n1} - SUM_{n480}$ are calculated about $i = 1-480$.

[0029] The memory measure 2 is memorized by the frame which was able to define the output of the integration means 1 beforehand temporarily. The equalization means 3 is outputted from the integration means 1 before computing SUM_{ni} and it performs addition or equalization with SUM_{n-1i} memorized by the memory measure 2, SUM_{n-2i} and SUM_{n-3i} and i . Here, SUM_{n-1i} , SUM_{n-2i} , SUM_{n-3i} and i add or equalize the pixel level in the i -th line of the $n-1$ st frame, the $n-2$ nd frame and the $n-3$ rd frame respectively, as shown in drawing 3. In this case, the memory measure 2 is accumulating the output of the integration means 1 by three frames. Here, the result of having added or equalized SUM_{n-1i} , SUM_{n-2i} and i and SUM_{n-3i} and i is described to be AVE_{ni} . What is necessary is just to be above by two

frames although addition or equalization with three past frames was performed here.

[0030] The stationary part extraction means 4 extracts the stationary part of a picture using the output of the integration means 1. The stationary part extraction means 4 is provided with the following.

The adder unit 7 into which the output of the integration means 1 is inputted.
The storage parts store 8 into which the output of the adder unit 7 is inputted.
The stationary part extraction part 9 into which the output of the adder unit 7 and the output of the storage parts store 8 are inputted.

[0031] The adder unit 7 adds the output of the integration means 1 to the line for

N cycle of the flicker ingredient in a frame. The portion of the picture constituted by the line for said N cycle is called the block for a stationary part judging. If the line number for N cycle of the flicker ingredient in k and a frame is made into p lineoutput $B-SUM_{nj}$ of an adding means can express with the following formula the line number of the head which serves as a candidate for addition in the n-th-frame block [j-th] for a stationary part judging.

$B-SUM_{nj}=SUM_{nk}+SUM_{nk+1}+...+SUM_{nk+p-1}$ [0032] Drawing 4 shows the case of $N=1$ and $j=1$. As shown in drawing 18 when the power supply frequency of a light source is 50 Hz and a frame period is 30 Hz N takes the integral values from 1 to 3. And in the case of $N=1$ shown in drawing 4j takes the integral values from 1 to 3. Thus the added result which added the output of the integration means 1 to the line for N cycle of the flicker ingredient in a frame becomes the same [the variable component of the luminance level by the periodic change of the luminosity of a light source] about every frame.

[0033] The storage parts store 8 memorizes the output of the adder unit 7 temporarily by several frames. Added result $B-SUM_{nj}$ which calculated the stationary part extraction part 9 by the adder unit 7 Difference with added result $B-SUM_{n-1j}$ before [one] being read from the storage parts store 8 is calculated and when the value is below the threshold TH set up beforehand the block for a stationary part judging is judged to be a stationary part. Since the variable component of the luminance level by the periodic change of the luminosity of a light source becomes the same in $B-SUM_{nj}$ and $B-SUM_{n-1j}$ as mentioned above a difference result is equivalent to a changed part of a photographic subject. Therefore it can be judged by comparing the difference result with the threshold TH whether it is a stationary part.

[0034] The division means 5 computes SUM_{ni}/AVE_{ni} using SUM_{ni} which is an output of the integration means 1 and AVE_{ni} which is the outputs of the equalization means 3 to the block judged by the stationary part extraction means 4 to be a stationary part. The flicker judging means 6 judges the existence of a flicker using the output of the division means 5. The example of composition of the flicker judging means 6 is shown in drawing 6. This flicker judging means 6 comprises the DFT (Discrete Fourier Transform: discrete Fourier transform) means 21 by which the output of the division means 5 is inputted and the threshold processing means 22 to carry out threshold processing of that output and to judge the existence of a flicker.

[0035] Drawing 7 (a) is an example which showed SUM_{ni}/AVE_{ni} which is an output of the division means 5 by the waveform. Here a horizontal axis is a line number i.e. and the vertical axis shows the level of the divided result i.e. SUM_{ni}/AVE_{ni} .

[0036] Drawing 7 (b) is an example of the output of the DFT means 21. Here as for the horizontal axis frequency and a vertical axis show the size of the level of a frequency component. And a frequency component level in order to detect a 50-Hz frequency component when the DFT operation for 50Hz is performed is F_{50} in a figure and in order to detect a 60-Hz frequency component a frequency component level when the DFT operation for 60Hz is performed is F_{60} in a figure.

[0037] In the threshold processing means 22 four thresholds TH_{50-ON} , TH_{60-ON} , TH_{50-OFF} and TH_{60-OFF} are beforehand set up to the output of the DFT section 21. The relation of $TH_{50-ON} > TH_{50-OFF}$ and $TH_{60-ON} > TH_{60-OFF}$ is realized in these thresholds. The threshold is compared with the 50 Hz frequency component and the 60-Hz frequency component which were mentioned above and the existence of a flicker is judged with the size relation.

[0038] Namely it judges with having no flicker at the time of $F_{50} < TH_{50-OFF}$ and $F_{60} < TH_{60-OFF}$. It judges with those [50-Hz] with a flicker at the time of $\alpha F_{50} < F_{50}$ and $F_{50} > TH_{50-ON}$. It judges with those [60-Hz] with a flicker at the time of $\beta F_{60} < F_{60}$ and $F_{60} > TH_{60-ON}$ and judges with it being unknown in other than the above.

[0039] In the above-mentioned judgment type α is 50 Hz in weighting factor for flicker detection and β is 60 Hz in weighting factor for flicker detection. Since each of these coefficients is set as the sufficiently bigger value than 1. When a 50 Hz (or 60 Hz) frequency component is larger than the weighting-factor twice beforehand set up rather than a 60 Hz (or 50 Hz) frequency component it will have judged with there being a 50 Hz (or 60 Hz) flicker. A possibility that change of the luminance level in the frame by the pattern of a photographic subject may be judged by this to be a flicker is reduced.

[0040] Thus according to a 1st embodiment of this invention the pixel level in predetermined every line in a frame is integrated. Equalize the integrated result in said every line to the line of the same image position in the past multiple frame. Extract the stationary part of a picture using said integrated result and said extracted stationary part is received. Since an equalization result in said every line division of the integrated result in said every line is done, frequency analysis of said divided result is conducted and the existence of a flicker is judged at the time of the image pick-up of video flicker detection (50 Hz and 60 Hz) can be performed with high precision.

[0041] In the above-mentioned embodiment although it has integrated about the full line in a frame in the integration means 1 it may integrate to the line thinned out and carried out at the interval short enough to the cycle of a flicker ingredient. In this case it processes to the signal of the line which also thinned out and carried out the equalization, the division and the flicker detection means after an integration means. With constituting in this way the capacity of the memory measure 2 is reducible. The same effect is acquired even if it constitutes the equalization means 3 from not only averaging but a recursive filter or a FIR filter.

[0042] (A 2nd embodiment) Instead of the integration means 1 integrating the pixel level of a video signal for every line it constituted from a flicker sensing device of a 2nd embodiment of this invention so that the flicker ingredient in a frame might integrate for every almost equal field. It is the same as that of a 1st embodiment except the contents of the addition operation of the integration means 1.

[0043] Drawing 8 is a figure for explaining the addition operation of the integration means 1 in a 2nd embodiment of this invention. As shown in this figure the level of all the effective pixels of the field (by a diagram it was considered as every

[adjoining / the left half of two lines]) which can be regarded as the flicker ingredient in a frame being almost equal is added or equalized. Here the field which can be regarded as the flicker ingredient in a frame being almost equal is called a block. And the value of the n -th frame which added or equalized the level of all the effective pixels of the i -th block is described to be SUM_{nbi} .

[0044] Drawing 9 is a figure for explaining the equalization operation of the equalization means 3 in a 2nd embodiment of this invention. As shown in this figure the equalization means 3 is outputted from the integration means 1 before computing SUM_{nbi} and performs addition or equalization with $SUM_{n-1 bi}$ memorized by the memory measure 2 $SUM_{n-2 bi}$ and $SUM_{n-3 bi}$. Here $SUM_{n-1 bi}$, $SUM_{n-2 bi}$, $SUM_{n-3 bi}$ and SUM_{nbi} add or equalize the pixel level in the $n-1$ st frame, $n-2$ nd frame and the n -th frame block [i -th] respectively as shown in drawing 9. In this case the memory measure 2 is accumulating the output of the integration means 1 by three frames. Here the result of having added or equalized $SUM_{n-1 bi}$, $SUM_{n-2 bi}$ and $SUM_{n-3 bi}$ and SUM_{nbi} is described to be AVE_{ni} .

[0045] Drawing 10 is a figure for explaining the add operation of the adder unit 7 in a 2nd embodiment of this invention. The adder unit 7 adds the output of the integration means 1 to the block of the picture perpendicular direction corresponding to a part for N cycle of the flicker ingredient in a frame. The portion of the picture constituted by the perpendicular direction block for said N cycle is called the block for a stationary part judging. the j -th block **** for a stationary part judging of the n -th frame -- if the block number of the head used as the candidate for addition is made into the q block counts of the picture perpendicular direction corresponding to a part for N cycle of the flicker ingredient in m and a frame output $B-SUM_{nbj}$ of an adding means can be expressed with the following formula.

$B-SUM_{nbj} = SUM_{nm} + SUM_{nm+1} + \dots + SUM_{nm+q-1}$ [0046] Drawing 10 shows the case of $N=1$ and $j=1$. Like a 1st embodiment when the power supply frequency of a light source is 50 Hz and a frame period is 30 Hz N takes the integral values from 1 to 3. And in the case of $N=1$ shown in drawing 10 j takes the integral values from 1 to 3. Thus the added result which added the output of the integration means 1 to the line for N cycle of the flicker ingredient in a frame becomes the same [the variable component of the luminance level by the periodic change of the luminosity of a light source] about every frame.

[0047] Drawing 11 is a figure for explaining processing of the stationary part extraction part 9 in a 2nd embodiment of this invention. Added result $B-SUM_{nbj}$ which calculated the stationary part extraction part 9 by the adder unit 7 Difference with added result $B-SUM_{n-1 bj}$ before [one] being read from the storage parts store 8 is calculated and when the value is below the threshold TH set up beforehand the block for a stationary part judging is judged to be a stationary part.

[0048] The decision result of the stationary part extraction part 9 is given to the division means 5. The division means 5 computes SUM_{nbi} / AVE_{nbi} using SUM_{nbi} which is an output of the integration means 1 and AVE_{nbi} which is the outputs of the

equalization means 3 to the block judged by the stationary part extraction means 4 to be a stationary part. The flicker judging means 6 judges the existence of a flicker using the output of the division means 5. The composition and operation of the flicker judging means 6 are the same as that of a 1st embodiment.

[0049] Especially the flicker sensing device of a 2nd embodiment of this invention is effective in the signal picturized with the image sensor which used the colored filter. The situation of the arrangement of the colored filter for single plate image sensors is shown in drawing 12. Here (a) is complementary filter arrangement and (b) shows a part of Bayer array which is a kind of a primary colors filter. As shown in these figures a colored filter which is different for every pixel of an image sensor respectively is stuck.

[0050] In the complementary filter shown in drawing 12 (a) the line where the cyanogen Cy and 1 pixel of yellow Ye(s) were arranged by turns [each] and magenta Mg and the line where 1 pixel of green G was arranged by turns [each] of one line are arranged by turns [each]. When adding two lines of the output of the image sensor using this colored filter 4 pixels enclosed with a dotted line shall be 1 block and two or more same blocks are integrated. The signal in 1 block serves as $Cy + Mg + Ye + G = 2R + 3G + 2B * Y$ and the almost same signal as the luminance signal Y is acquired. Since flicker detection can be performed using a luminance signal by using the signal with which many signals near this luminance signal were integrated high-precision flicker detection is attained.

[0051] Next in the case of the Bayer array shown in drawing 12 (b) the red R the line where 1 pixel of green G was arranged by turns [each] and the green G and the line where 1 pixel of blue B was arranged by turns [each] of one line are arranged by turns [each]. When adding two lines of the output of the image sensor using this colored filter 4 pixels enclosed with a dotted line shall be 1 block and two or more same blocks are integrated. The signal in 1 block serves as $R + G + G + B = R + 2G + B * Y$ and the almost same signal as the luminance signal Y is acquired. Since flicker detection can be performed using a luminance signal by using the signal with which many signals near this luminance signal were integrated high-precision flicker detection is attained.

[0052] In a 2nd embodiment of this invention the flicker ingredient in a frame integrates a pixel level for every almost equal field. Equalize the integrated result for said every field to said field of the same image position in the past multiple frame. Extract the stationary part of a picture using said integrated result and said extracted stationary part is received. Since are an equalization result for said every field division of the integrated result for said every field is done. Frequency analysis of said divided result is conducted and the existence of a flicker is judged. Since size of a stationary part decision block can be made small as compared with a 1st embodiment a stillness judging is attained with a fine block and flicker detecting accuracy improves. Flicker detection (50 Hz and 60 Hz) can be performed with high precision like a 1st embodiment at the time of the image pick-up of video.

[0053] (A 3rd embodiment) In the flicker sensing device of a 3rd embodiment of this invention. A difference means by which the stationary part extraction part 9

takes the difference of the present added result of the adder unit 8 and the added result of the past of a block of an identical image position. It has a division means which does division of the output of said difference means by said present added result or the past added result and a threshold processing means to judge whether said block is a stationary part from the size relation of said divided result and a predetermined threshold. The composition of portions other than stationary part extraction part 9 is the same as that of a 1st embodiment.

[0054] Drawing 13 is a block diagram showing the composition of the stationary part extraction part 9 in the flicker sensing device of a 3rd embodiment of this invention. This stationary part extraction part 9 is provided with the following. A difference means 31 by which the output of the adder unit 7 and the output of the storage parts store 8 are inputted. The division means 32 as which the output of the difference means 31 and the output of the adder unit 7 are inputted. A threshold processing means 33 by which the output of the division means 32 is inputted.

[0055] The difference means 31 takes the difference of the present added result $B-SUM_{nj}$ of the adder unit 7 and added result $B-SUM_{n-1j}$ before [one] being read from the storage parts store 8 and outputs it to the division means 32. The division means 32 does division of the output of the difference means 31 with the output of the adder unit 7 and outputs it to the threshold processing means 33. The output of a division means becomes $|B-SUM_{nj}-B-SUM_{n-1j}|/B-SUM_{nj}$.

[0056] The threshold processing means 33 judges the stationary part decision block which is the j -th which are the n -th frame to be a stationary part when the value of the above-mentioned formula is below the threshold TH set up beforehand. The decision result of the threshold processing means 33 is given to the division means 5. Operation of the division means 5 and the flicker judging means 6 is the same as that of a 1st embodiment.

[0057] Since the ratio of the variation of $B-SUM_{nj}$ of a present frame and $B-SUM_{n-1j}$ of one frame ago is calculated and threshold processing is performed in a 3rd embodiment of this invention, even if the levels of the target video signal differ, high-precision stationary part extraction can be performed and as a result, flicker detecting accuracy also improves.

[0058] In the division means 32, instead of doing division by $B-SUM_{nj}$ which is an output of the adder unit 7, even if it does division by $B-SUM_{n-1j}$ which is an output of the storage parts store 8, the same effect is acquired.

[0059] (A 4th embodiment) In the flicker sensing device of a 4th embodiment of this invention. An equalization means by which the stationary part extraction part 9 equalizes the present added result of the adder unit 7 and the added result of the past of the stationary part decision block of an identical image position. A difference means to take the difference of said present added result and the equalization result of said equalization means. It has a division means which does division of the difference result of said difference means by the equalization result

or said present added result of said equalization means and a threshold processing means to judge whether said block is a stationary part from the size relation of said divided result and a predetermined threshold.

[0060] Drawing 14 is a block diagram showing the composition of the stationary part extraction part 9 in the flicker sensing device of a 4th embodiment of this invention. This stationary part extraction part 9 is provided with the following. An equalization means 41 by which the output of the adder unit 7 and the output of the storage parts store 8 are inputted. A difference means 42 by which the output of the adder unit 7 and the output of the equalization means 41 are inputted. The division means 43 as which the output of the difference means 42 and the output of the adder unit 7 are inputted. A threshold processing means 33 by which the output of the division means 43 is inputted.

[0061] The equalization means 41 equalizes the present added result $B-SUM_{nj}$ of the adder unit 7 and added result $B-SUM_{n-1j}$ before [1 or 2] being read from the storage parts store 8 and $B-SUM_{n-2j}$ and outputs them to the difference means 42. It will be set to $B-AVE_{nj} = (B-SUM_{nj} + B-SUM_{n-1j} + B-SUM_{n-2j}) \times 1/3$ if the output of the equalization means 41 is made into $B-AVE_{nj}$.

[0062] The difference means 42 takes the difference of the present added result $B-SUM_{nj}$ of the adder unit 7 and equalization result $B-AVE_{nj}$ of an equalization means and outputs it to the division means 43. The division means 43 does division of the output of the difference means 42 with the output of the adder unit 7 and outputs it to the threshold processing means 44. The output of a division means becomes $|B-SUM_{nj} - B-AVE_{nj}| / B-SUM_{nj}$.

[0063] The threshold processing means 44 judges the stationary part decision block which is the j-th which are the n-th frame to be a stationary part when the value of the above-mentioned formula is below the threshold TH set up beforehand. The decision result of the threshold processing means 44 is given to the division means 5. Operation of the division means 5 and the flicker judging means 6 is the same as that of a 1st embodiment.

[0064] According to a 4th embodiment of this invention since the ratio of the variation of added result $B-SUM_{nj}$ of a present frame and average value $B-AVE_{nj}$ of the added result of the past frame is calculated and threshold processing is performed the frame of the past in comparison with a present frame is stabilized. For this reason a stationary part can be extracted with sufficient accuracy also to a picture with a motion and as a result the flicker detecting accuracy of 50 Hz and 60 Hz also improves.

[0065] In the division means 32 even if it does division by $B-AVE_{nj}$ instead of doing division by $B-SUM_{nj}$ the same effect is acquired. The same effect is acquired even if it constitutes the equalization means 41 from not only averaging but a recursive filter or a FIR filter.

[0066] (A 5th embodiment) The shutter speed of an image sensor and the gain of

the video signal generated with the image sensor are controlled by flicker detection and the compensator of a 5th embodiment of this invention based on the output of the 1st – the flicker sensing device of a 4th embodiment.

[0067]Drawing 15 is a block diagram showing the composition of the imaging device provided with flicker detection and the compensator of a 5th embodiment of this invention. This flicker detection and compensator are constituted as some imaging devices.

[0068]The AGC amplifying means 54 by which this imaging device controls the level of the video signal with which it was generated by the imaging means 53 such as an MOS type pickup device and the imaging means 53. An AD translation means 55 to digitize the output of the AGC amplifying means 54 and the driving means 56 which drives the imaging means 53. A flicker detection means 51 to detect a flicker from the output of the AD translation means 55. It comprises the flicker correction control means 52 which creates the shutter speed control signal of the image sensor 53 and an AGC amplifying means 54 AGC-gain control signal using the flicker detect output of the flicker detection means 51 and the output of the AD translation means 55. Here flicker detection and a compensator are constituted by the flicker detection means 51 and the flicker correction control means 52.

[0069]In an imaging device a luminosity picture of a photographic subject under the light source which changes periodically and the imaging means 53 generates a video signal. The imaging means 53 is driven by the driving means 56. A gain is controlled according to the AGC gain control signal mentioned later and the AGC amplifying means 54 controls the level of an inputted video signal. The AD translation means 55 changes into a digital video signal the video signal outputted from the AGC amplifying means 54. The flicker detection means 51 has the same composition as the flicker detection means shown by the 1st thru/or a 9th embodiment and performs flicker detection using the digital video signal which is an output of the AD translation means 55. The flicker correction control means 52 creates an AGC gain control signal and supplies it to the AGC amplifying means 54 while it creates a shutter speed control signal and supplies it to the driving means 56 using the output of the flicker detection means 51 and the output of the AD translation means 55.

[0070]The flicker correction control means 52 performs the following **** according to the flow chart shown in drawing 16.

- (1) Initialize to a power up mode=50 (step S1→S2). Henceforth loop operation of following the (2) – (7) is performed.
- (2) Acquire a video signal level (Step S3).
- (3) Set shutter speed to an automatic gain control signal according to a video signal level and mode (step S4).
- (4) Acquire a flicker detection result (Step S5).
- (5) In with a 50-Hz flicker set it as mode=50 from a flicker detection result (step S6→S8).
- (6) In with a 60-Hz flicker set it as mode=60 from a flicker detection result (step S6 →S7 →S9).

(7) When having no flicker or more unknown than a flicker detection result hold mode (step S6→S7→S10).

[0071] Next an AGC gain and the setting method of shutter speed are explained using drawing 17. (a) of this figure shows the preset value of the AGC gain according to light volume and (b) shows the preset value of the shutter speed in mode=50 according to light volume. Even if it changes light volume he is trying to keep a video signal level constant by controlling shutter speed and AGC since a video signal level is proportional to the light volume at the time of an image pick-up.

[0072] First according to light volume an AGC gain is controlled like drawing 17 (a). MIN is the minimum of the range which an AGC gain can take here and MAX is the maximum.

[0073]. When there is little light volume shutter speed is decided according to frame frequency (in this case 30 Hz) and the power supply frequency (in this case 50 Hz) of a light source. They may be $3 / 100$ seconds which is an integral multiple of the latest shutter speed that a flicker does not generate i.e. power supply frequency and is the latest speed below frame frequency.

[0074] If the AGC gain is lowered gradually and MIN is taken as light volume becomes large it will be an integral multiple of power supply frequency and shutter speed will be set as a speed ($2 / 100$ seconds) quicker than a present value. simultaneously it is a reciprocal of the ratio of the variation of shutter speed to MIN about AGC gain -- it is made to change $3/2$ Thus by carrying out gang control of shutter speed and the AGC gain when shutter speed changes it avoids that an image level changes rapidly and image quality deterioration is prevented.

[0075] If light volume becomes large enough and shutter speed turns into the quickest speed ($1 / 100$ seconds when it is 50 Hz) that a flicker does not generate and an AGC gain is set to MIN in proportion to light volume shutter speed is made quick. An AGC gain is fixed to MIN at this time. By setting up in this way since it is lost that a video signal level is saturated even if light volume becomes high a dynamic range spreads and an image comes to be displayed.

[0076] Between $1 / 100$ seconds and the value beyond it (for example $1 / 250$ seconds) it is preferred to give a hysteresis so that it may not go back and forth frequently.

[0077] What is necessary is just to set the above as ... similarly the integral multiple of power supply frequency i.e. $120 / 1$ seconds $120 / 2$ seconds and $120 / 3$ seconds when power supply frequency is 60 Hz although it was shutter speed in case power supply frequency is 50 Hz.

[0078] Although the AGC amplifying means 54 is controlling the level of an analog video signal by drawing 15 it may replace with the AGC amplifying means 54 of drawing 15a a digital AGC amplifying means may be provided in the latter part of the AD translation means 55 and it may have composition which performs gain control in digital one.

[0079] Thus the flicker frequency detected using the flicker sensing device which can detect the flicker (50 Hz and 60 Hz) shown by the 1st - a 4th embodiment

with sufficient accuracy according to a 5th embodiment of this invention According to an inputted video signal level high-precision flicker correction becomes possible by controlling the shutter speed of an image sensor and the gain of a video signal. when said variation changes change of shutter speeds simultaneously the gain of a video signal by a reciprocal luminance level avoids changing rapidly and change of shutter speed enables it to prevent image quality deterioration. Even when incident light quantity becomes large the state where an image is no longer displayed can be avoided.

[0080] In said each embodiment in the equalization means 3 although the past multiple frame was equalized even if it equalizes including the present frame the same effect is acquired.

[0081]

[Effect of the Invention] As mentioned above by detecting a flicker using the stationary part of a picture according to the flicker sensing device and method of this invention Even when there is change of the luminance level by motion of a photographic subject etc. it becomes possible to detect the flicker in a frame generated at the time of the image pick-up which used the MOS type pickup device.

[0082] The flicker frequency which was detected by the flicker sensing device and method of this invention according to flicker detection compensator and method of this invention Since the shutter speed of the image sensor which generates a video signal and the gain of said video signal are controlled according to an inputted video signal level 60 Hz of flickers [both] can be distinguished automatically and 50 Hz of flicker correction can be performed. When incident light quantity becomes large also when bright it can picture by making shutter speed quick and picturizing it without saturating a video signal level.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the composition of the flicker sensing device of a 1st embodiment of this invention

[Drawing 2] The figure for explaining the operation of the integration means in drawing 1

[Drawing 3] The figure for explaining the operation of the equalization means in drawing 1

[Drawing 4] The figure for explaining the operation of the adder unit in drawing 1

[Drawing 5] The figure for explaining the decision processing of the stationary part extraction part in drawing 1

[Drawing 6] The figure showing the example of composition of the flicker judging means in drawing 1

[Drawing 7] The figure showing an example of the output of the division means in drawing 1 and a DFT means

[Drawing 8]The figure for explaining the operation of the integration means in the flicker sensing device of a 2nd embodiment of this invention

[Drawing 9]The figure for explaining the operation of the equalization means in the flicker sensing device of a 2nd embodiment of this invention

[Drawing 10]The figure for explaining the operation of the adder unit in the flicker sensing device of a 2nd embodiment of this invention

[Drawing 11]The figure for explaining the decision processing of the stationary part extraction part in the flicker sensing device of a 2nd embodiment of this invention

[Drawing 12]The figure showing the example of the colored filter used for the image sensor which generates the video signal inputted into the flicker sensing device of a 2nd embodiment of this invention

[Drawing 13]The block diagram showing the composition of the stationary part extraction part in the flicker sensing device of a 3rd embodiment of this invention

[Drawing 14]The block diagram showing the composition of the stationary part extraction part in the flicker sensing device of a 4th embodiment of this invention

[Drawing 15]The block diagram showing the composition of the imaging device provided with flicker detection and the compensator of a 5th embodiment of this invention

[Drawing 16]The flow chart which shows processing of the flicker correction control means in drawing 14

[Drawing 17]The figure for explaining operation of the flicker correction control means in drawing 14

[Drawing 18]The figure for explaining the generating principle of a flicker in case power supply frequency is 50 Hz

[Drawing 19]The figure for explaining the generating principle of a flicker in case power supply frequency is 60 Hz

[Drawing 20]It is a figure for explaining the principle which amends a flicker.

[Description of Notations]

- 1 Integration means
- 2 Memory measure
- 3 Equalization means
- 4 Stationary part extraction means
- 532and 43 Division means
- 6 Flicker judging means
- 7 Adder unit
- 8 Storage parts store
- 9 Stationary part extraction part
- 21 DFT means
- 223344 threshold processing means
- 31 and 42 Difference means
- 41 Equalization means
- 51 Flicker detection means
- 52 Flicker correction control means

